

Publication of unexamined utility model applications (U)  
58-114621

Title of Utility Model: Synthesizer tuner

Scope of Claims of Utility Model Registration

A synthesizer tuner comprising:  
a phase-locked loop synthesizer for locking an output  
frequency of an oscillator of a power voltage control section;  
a tuner circuit that is controlled by signals outputted from  
this phase-locked loop synthesizer;

means of storage for storing a reception station name  
and a reception frequency;

means of presetting station name and frequency for  
inputting and presetting said reception station name and  
reception frequency into this means of storage;

means of control for controlling signals outputted from  
said means of storage; and

a display for inputting signals outputted from this  
means of control, and having a station name display section  
for displaying said reception station name and a frequency  
display section for displaying a reception frequency.

Brief Description of the Drawings

Fig. 1 is a block diagram for indicating one of  
embodiments of the subject utility model.

- 1: display device
- 2: memory for station name and frequency that is means of storage
- 3: controller that is means of control
- 4: keyboard that is means of presetting frequency
- 5: display decoder driver that is means of driver
- 6: station name input circuit that is means of presetting station name
- 7: phase-locked loop (PLL) synthesizer
- 8: tuner circuit
9. display
11. frequency display section
12. station name display section

⑨ 日本国特許庁 (JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報 (U)

昭58—114621

⑪ Int. Cl.<sup>3</sup>

H 03 J 1/04

H 03 L 7/08

H 04 B 1/16

識別記号

庁内整理番号

6372—5K

6964—5J

6442—5K

⑬ 公開 昭和58年(1983) 8 月 5 日

審査請求 未請求

(全 2 頁)

⑭ シンセサイザ・チューナ

大阪市北区梅田 1 丁目 8 番 17 号

新日本電気株式会社内

⑮ 実 願 昭57—10094

⑯ 出 願 人 新日本電気株式会社

⑰ 出 願 昭57(1982) 1 月 29 日

大阪市北区梅田 1 丁目 8 番 17 号

⑱ 考 案 者 早津亮一

⑲ 代 理 人 弁理士 若林忠

⑳ 実用新案登録請求の範囲

電圧制御局部発振器の出力周波数をロックするフェーズ・ロックド・ループシンセサイザと、このフェーズ・ロックド・ループシンセサイザから出力される信号によって制御されるチューナ回路と、受信局名および受信周波数をメモリするメモリ手段と、このメモリ手段に前記受信局名および受信周波数をインプットしプリセットする局名および周波数プリセット手段と、前記メモリ手段から出力される信号をコントロールする制御手段と、この制御手段から出力される信号を入力し、かつ、前記受信局名を表示する局名表示部および受信周波数を表示する周波数表示部を有する表示器とを

備えたことを特徴とするシンセサイザ・チューナ。図面の簡単な説明

第 1 図は本考案の一実施例を示すブロック図である。

1…ディスプレイ装置、2…メモリ手段である局名・周波数メモリ、3…制御手段であるコントローラ、4…周波数プリセット手段であるキーボード、5…ドライバ手段であるディスプレイデコードドライバ、6…局名プリセット手段である局名インプット回路、7…PLLシンセサイザ、8…チューナ回路、9…表示器、11…周波数表示部、12…局名表示部。

第1図

